

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261948

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

H03K 19/0175

H01L 27/04

H01L 21/822

H04L 25/02

(21)Application number : 09-063265

(71)Applicant : NEC CORP

(22)Date of filing : 17.03.1997

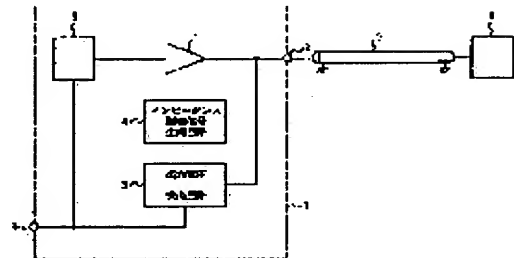
(72)Inventor : ISHIZUKI HITOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT WITH OUTPUT IMPEDANCE SELF CORRECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain high speed signal transmission, to improve the transmission efficiency for a fixed time and to suppress the power consumption consumed at signal transmission to the absolute minimum power conforming with a transmission line by preventing waveform distortion due to reflection resulting from mis-matched output circuit impedance with respect to the transmission line against an impedance change due to a change in a load form or the like in the case that the semiconductor integrated circuit drives the transmission line.

SOLUTION: An initial amplitude voltage of an output is detected with an output circuit 1 of a semiconductor integrated circuit 7 drives a transmission line 9, output impedance of the output circuit 1 is controlled by the result of detection so as to obtain an optimum drive capability conforming with the impedance of the driven transmission line 9, thereby to prevent waveform distortion at signal transmission, to enable high speed transmission and to attain the absolute minimum power consumption.



LEGAL STATUS

[Date of request for examination] 17.03.1997

[Date of sending the examiner's decision of rejection] 20.10.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]:

[Date of final disposal for application]:

[Patent number]:

[Date of registration]:

[Number of appeal against examiner's decision]:

(19) 日本国特許庁 (F) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261948

(43) 公開日 平成10年(1998) 9月29日

識別記号		F1	
(51) Int. Cl. ⁴		H03K 19/00	101Q
H03K 19/0175		H04L 25/02	F
H01L 27/04		H01L 27/04	F
21/822		H03K 19/00	101F
H04L 25/02			

審査請求 有 請求項の数3 OL (全7頁)

(21) 出願番号 特願平9-62265

(71) 出願人 日本電気株式会社

(22) 出願日 平成9年(1997) 3月17日

(72) 発明者 石村 仁

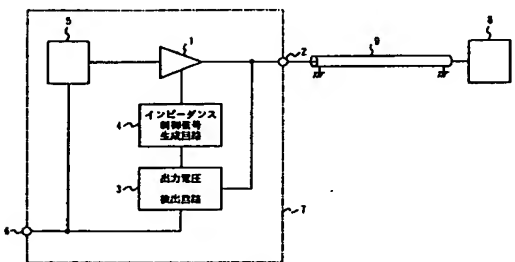
(74) 代理人 弁護士 後藤 洋介 (外2名)

(54) 【発明の名称】 出力インピーダンス自己補正回路付半導体集積回路

(57) 【要約】

【課題】 半導体集積回路が伝送線路を駆動する場合、負荷形態の変化等によるインピーダンス変化に対し、伝送線路に対する出力回路インピーダンスの不整合を起因とする反射による波形歪みを防止することにより、信号伝送を高速化し、一定の時間における伝送効率を向上するとともに信号伝送時に消費される消費電力を伝送線路に合わせた必要最低限の電力に抑える。

【解決手段】 半導体集積回路7の出力回路1が伝送線路9を駆動する時の出力の初期振幅電圧を検出し、その検出結果により出力回路1の出力インピーダンスを制御し、駆動する伝送線路9のインピーダンスに合わせた最適な駆動能力を得ることにより、信号伝送時の波形歪みを防ぎ、高速伝送が可能となると共に必要最低限の電力消費で済む。



BEST AVAILABLE COPY

(2) 特開平10-261948

り終端し、つまりインピーダンスの整合がはかれ、波形歪みを低減することができる。

【発明が解決しようとする課題】 第1の従来の技術の第1の問題点は、信号変化時には信号の受信端ではオーバーシュート電圧が発生することである。

【0006】その理由は、信号変化直後は出力回路は高駆動能力回路と低駆動能力回路の双方により伝送線路が駆動されるため、必要以上の出力の初期振幅電圧により伝送線路が駆動されるため、終端がとられていない受信端では反射によりオーバーシュート電圧が発生することである。

【0007】このオーバーシュート電圧が発生した以降は出力回路は低駆動能力回路のみとなっており、伝送線路とインピーダンス整合がとれているため反射によるブロードバンドなどの発生はないが、最初のオーバーシュート電圧が受信回路部の入力許容電圧を超えた場合、入力回路に損傷を与えてしまう問題点がある。

【0008】また第1の従来の技術の第2の問題点としては、出力回路のインピーダンスが高駆動能力と低駆動能力の2種の固定であるということである。

【0009】出力回路のインピーダンスが固定であるということは、駆動するべき伝送線路のインピーダンスが変わる度に出力回路を変更しなければならない。

【0010】情報処理装置を例にとりて出力インピーダンス固定の場合の不具合の理由を述べ、情報処理装置に使用されることの多いランダムアクセスメモリの記憶素子(以下RAMと記す)は、情報処理装置を使用するユーザーが必要とする最低限の容量しか要求されない。

【0011】ところが、場合によっては、RAMの必要容量が増加することがある。伝送線路の毎個的なインピーダンスが増加する場合、伝送線路の毎個的なインピーダンスが変化する。インピーダンスが変化した場合、最適な駆動能力も同時に変化する。よって伝送線路に接続されるRAMの容量に合わせて出力回路を駆動能力の異なる回路と交換する必要があるという問題点がある。

【0012】第2の従来の技術の第1の問題点は、出力回路部において必要以上に電力を消費するという点である。

【0013】その理由は、この従来の技術では伝送線路に合わせた終端回路が自動可変でき、インピーダンスの整合がとれるというメリットはあるが、考えられる低いインピーダンスの伝送線路にも対応する必要があるため、低いインピーダンスの伝送線路に合わせて出力回路の駆動能力を常に低くする必要がある。駆動能力が最大ということでは、出力回路部においては過剰的な電力を必要以上に消費することである。

【0014】また第2の従来の技術の第2の問題点としては、この従来の技術で示される終端回路で終端される

伝送線を駆動する出力回路部では定常的な電力の消費が発生することである。

【0015】その理由は、終端部ではインピーダンスの整合をとるために直感的な電流が流れることである。このため終端回路で電力の消費が発生する。当然ながら終端回路に流れる定常電流は出力回路にも流れ続けるため、出力部での電力消費も発生する。

【0016】本発明は、信号伝送時の反射による波形歪みを防止することにより信号伝送を高速化し、一定の時間における伝送効率を向上することを目的とする。また、信号伝送時に消費される消費電力を伝送線路に合わせた必要最低限の電力に抑えることを目的とする。

【0017】

【課題を解決するための手段】本発明の出力インピーダンス自己満足回路付半導体集積回路（以下1Cと記す）は、1Cが出力する信号を自ら検出し、その検出電圧により1Cの出力駆動能力を制御する手段を有する。

【0018】より具体的には、伝送線路に接続された1Cの出力回路部内1C自身が出力した信号電圧を検出する手段と電圧モニタ部からの信号を制御信号に変換する手段と制御信号を受け出力回路の駆動能力を調整する手段を有する。

【0019】本発明では、出力回路が伝送線を駆動する時の出力の初期振幅電圧を検出し、その検出結果により出力回路の出力インピーダンスを制御し、駆動する伝送線路のインピーダンスに合わせた最適な出力特性が得られる。

【0020】

【発明の実施の形態】次に本発明の一実施の形態について図面を参照して詳細に説明する。

【0021】図1を参照すると、本発明の実施の形態は半導体集積回路7の内部回路5から出力回路1へと接続され、出力端子2はケーブルまたはプリント配線板などのインピーダンスを有する伝送線路9を介して受信回路8と接続されている。受信回路8の入力は、本発明によると終端処理をする形骸は無い、以下では入力インピーダンスを無限大として説明する。出力回路1は、図4に示す第1実施例のように出力段にLow電圧出力駆動能力調整用トランジスタ群1、High電圧出力駆動能力調整用トランジスタ群12が多数並列に接続され、制御信号入力端子群17への入力信号により駆動するトランジスタ数が制御され、出力インピーダンスが変化する構成となっている。なお、13はLow電圧出力用トランジスタ、14はHigh電圧出力用トランジスタである。

【0022】また出力回路1の第2実施例として、図5のように出力駆動能力調整用トランジスタ群18がLow電圧出力用トランジスタ19及びHigh電圧出力用トランジスタ20と並列に接続され、制御信号入力端子

群17への入力信号により、導通するトランジスタ数が制御され、出力インピーダンスが変化する回路構成としてもよい。

【0023】なお、出力回路1の駆動能力は、実際に駆動が予測される各種伝送線路のインピーダンス幅以上の調整幅を持つようトランジスタ数及び1ヶ当りの駆動能力を設定する。

【0024】出力端子2には出力電圧検出回路3が接続され、内部回路5用クロックから生成された一定のタイミングで出力端子2の電圧を検出できる構成となっている。出力電圧検出回路3は、さらにインピーダンス制御信号生成回路4と接続される。

【0025】出力電圧検出回路3とインピーダンス制御信号生成回路4の一実施例を図3に示す。

【0026】比較器33、34はそれぞれ異なる判定電圧VREF1、VREF2を持っており、この判定電圧VREF1、VREF2は半導体集積回路7の内部より発生しても、外部より入力しても差支えない。比較器33、34の出力は、出力電圧検出回路3の出力から入力されたサンプリング信号で動作するフリップフロップ（以下F/Fと呼ぶ）と接続され、F/Fの出力は、インピーダンス制御信号生成回路4内のカウンタ回路39を越えて保持回路40と接続される。

【0027】次に本発明の一実施の形態の動作について説明する前に、出力回路の駆動能力、つまり出力インピーダンスの違いが出力の初期振幅電圧と伝送信号波形の歪みへどのように影響するかを図1と図2を参照して説明する。

【0028】図2（a）の出力端子における信号立ち上がり波形（駆動能力が低い場合）100は、出力回路1の出力インピーダンスが調整される伝送線路9のインピーダンスより大きい場合の出力端子2の波形である。その時の受信側波形が図2（b）の受信回路入力における信号立ち上がり波形（駆動能力が低い場合）101である。この場合、時刻tS0での電圧（これを出力の初期振幅電圧と呼ぶ）は電圧VREF1、VREF2に達しない。最初に信号が受信側へ到達する時刻tL1においても受信側の信号波形はHigh電圧V_Hまで達しない、High電圧V_Hに達するには時刻tL4まで時間を要する。

【0029】さらに出力インピーダンスを下げ、図2（c）の出力端子における信号立ち上がり波形（駆動能力が低い場合）110となるまで駆動能力を上げる。なお、この場合でも出力の初期振幅電圧は電圧VREF1、VREF2に達しない、その時の受信側波形が図2（d）の受信回路入力における信号立ち上がり波形（駆動能力が低い場合）111である。この状態においても最初に信号が受信側に達する時刻tL1においてHigh電圧V_Hまで達しない、High電圧V_Hまで立ち上がるためには、時刻tL2まで時間を要している。

【0030】さらに出力インピーダンスを下げ、図2

（e）の出力端子における信号立ち上がり波形（駆動能力適正の場合）120となるまで駆動能力を上げる。出力回路1の出力の初期振幅電圧は、電圧VREF1とVREF2の間の電圧となる。この場合、受信側の電圧波形においては時刻tL1でHigh電圧V_Hに達しており、出力波形が図2（a）、（c）の出力端子における信号立ち上がり波形（駆動能力が低い場合）100、出力端子における信号立ち上がり波形（駆動能力が低い場合）110の時刻より信号は受信側では早くHigh電圧V_Hに決定する。

【0031】この上さらに出力インピーダンスを下げ、出力の初期振幅電圧が判定電圧VREF2を超える図2

（g）の出力端子における信号立ち上がり波形（駆動能力が低い場合）130まで駆動能力を上げた時の受信波形が図2（h）の受信回路入力における信号立ち上がり波形（駆動能力が低い場合）131である。すると図2（i）の受信回路入力における信号立ち上がり波形（駆動能力適正の場合）121と同様に受信側では時刻tL1でHigh電圧V_Hに決定しているにも関わらず、時刻tL2では逆にHigh電圧V_Hより電圧が低下する。この後、High電圧V_Hを上回るのは時刻tL3以降となる。

【0032】つまり出力回路1が出力した信号が受信回路8で確実に受信できる時間が一番長い条件は、出力波形が図2（e）の出力端子における信号立ち上がり波形（駆動能力適正の場合）120の場合である。従って出力回路の出力の初期振幅電圧の最適値はVREF1とVREF2の間であることがわかる。

【0033】次に、本発明の実施の形態の動作について図1、図2、図3、図4及び図5を参照して説明する。【0034】出力電圧検出回路3の検出タイミングは、半導体集積回路7の内部クロックclkに対し遅延を持たせた図2で示される時刻tS0とtS1の間の時刻txで設定する。

【0035】まず伝送線路9と接続された半導体集積回路7が信号伝送を開始する前、たとえば半導体集積回路7の電源を立ち上げた直後においては出力回路1の初期状態を出力インピーダンスが最大つまり駆動能力が最小になるよう設定しておく。

【0036】これより出力インピーダンスの調整シーケンスに入る。

【0037】内部回路5は、出力端子2がLowレベル→Highレベル→Lowレベル→Highレベルの繰り返し信号を出力するようデラットバッファ信号を出力回路1へ送る。このデラットバッファ信号は、クロック端子6から入力されるクロックを分周して生成してもよい。

【0038】出力がLowレベルからHighレベルに遷移するとき、前述したサンプリングクロックtxで出力回路1の出力の初期振幅電圧を出力電圧検出回路3で検出する。検出した出力の初期振幅電圧が図2

（a）の出力端子における信号立ち上がり波形（駆動能力が低い場合）100で示されるように判定電圧VREF1およびVREF2より低い場合は、出力電圧検出回路3のF/F2つのF/F31、32は“0”、“0”にセットされる。出力電圧検出回路3は現在の駆動能力が低すぎるという検出信号（F/F31、32にセットされた“0”、“0”のイベント）をインピーダンス制御信号生成回路4へ送る。インピーダンス制御信号生成回路4では出力電圧検出回路3より“0”、“0”信号を受けると、カウンタ回路39で生成した駆動能力を一段増加する指示信号を出力回路1へ出力し、出力回路1は駆動能力を一段上げる。この後、次の信号立ち上がりでも同様に検出作業を行う。

【0039】一段ずつ駆動能力を上げていき、出力の初期振幅電圧が図2（e）の出力端子における信号立ち上がり波形（駆動能力適正の場合）120で示されるように検出タイミックスにおいて判定電圧VREF1とVREF2の中間となったとき、出力電圧検出回路3内のF/F31、32は“1”、“0”にセットされる。インピーダンス制御信号生成回路4では出力電圧検出回路3からの信号“1”、“0”を受けると、出力インピーダンスは最適値であると判断し駆動能力制御動作を停止する。この時の駆動能力調整値は、インピーダンス制御信号生成回路4内に記したフリップフロップ、RAM等から保持回路40により保持させておく。

【0040】この時点で出力回路1は接続される伝送線路9に最適な駆動能力に設定されており、受信部における波形は図2（f）の受信回路入力における信号立ち上がり波形（駆動能力適正の場合）121で示されるように歪みのない波形となる。

【0041】これで駆動能力の調整シーケンスが終了し、実際の信号伝送に使用できるようになる。

【0042】上述した説明は信号の立ち上がりで出力駆動能力を調整する場合に示したが、信号の立下がりで調整する場合も判定レベルが異なるだけであり、手順としては同様である。

【0043】なお、初期状態の駆動能力を最大とし制御により出力インピーダンスを上げていく手順をとっても差支えない。

【0044】また出力回路1の第1実施例として図4に示されるように出力段に出力のHigh側とLow側それぞれ駆動能力調整機能がある場合は、High側とLow側それぞれ調整レベルを調整する必要があるが、出力側のHigh側とLow側の一段当りの駆動能力を同一とすることにより、立ち上がり又は立下がりどちらか一方の検出結果によりHigh側とLow側の両方の駆動能力調整を済ませることができる。

【0045】また出力回路1の第2実施例として図5に示されるように出力段と並列に駆動調整用回路を設けている場合でも、同様に立ち上がり又は立下がりのどちら

か一方の検出結果により問題を済ませることができる。

【0046】

【発明の効果】本発明によると、伝送線路を駆動する半導体集積回路において、伝送線路を変更したり、伝送線路に接続される負荷形態を変更することによる伝送線路のインピーダンス変化に対し、半導体集積回路を作り替えることなく常に最適な出力インピーダンスに制御することができると、信号伝送時の波形歪みが少なく高速信号伝送が可能となる。

【0047】また、本発明によると、接続される伝送線路のインピーダンスに合わせて最適な出力インピーダンスに調整することにより、過渡的な出力電流を必要最低限に抑えることが可能となり、かつ、受信回路部には林端回路が必要なくなるため、林端回路に流れる定常電流、つまり出力回路を流れる定常電流も皆無とすることができ。

【0048】これにより出力回路の消費電力も伝送線路に合わせて最低限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のブロック図である。

【図2】(a)～(h)は、本発明の一実施の形態の動作を説明するための波形図である。

【図3】本発明の一実施の形態における出力電圧検出回路とインピーダンス制御信号生成回路の一実施例である。

【図4】本発明の一実施の形態における出力回路の第1実施例である。

【図5】本発明の一実施の形態における出力回路の第2実施例である。

【符号の説明】

- 1 出力回路
- 2 出力端子
- 3 出力電圧検出回路
- 4 インピーダンス制御信号生成回路
- 5 内部回路
- 6 クロック端子
- 7 半導体集積回路
- 8 受信回路
- 9 伝送線路

11 Low電圧出力駆動能力調整用トランジスタ群

12 High電圧出力駆動能力調整用トランジスタ群

13 Low電圧出力用トランジスタ

14 High電圧出力用トランジスタ

15 出力回路入力端子

16 出力回路出力端子

17 制御信号入力端子群

18 出力駆動能力調整用トランジスタ群

19 Low電圧出力用トランジスタ

20 High電圧出力用トランジスタ

31 フリッパフロップ

32 フリッパフロップ

33 比較器

34 比較器

35 判定電圧入力端子

36 判定電圧入力端子

37 出力電圧検出回路入力端子

38 出力電圧検出回路クロック入力端子

39 カレント回路

40 保持回路

41 制御信号出力端子

100 出力端子における信号立ち上がり波形 (駆動能力小の場合)

101 受信回路入力における信号立ち上がり波形 (駆動能力小の場合)

110 出力端子における信号立ち上がり波形 (駆動能力小の場合)

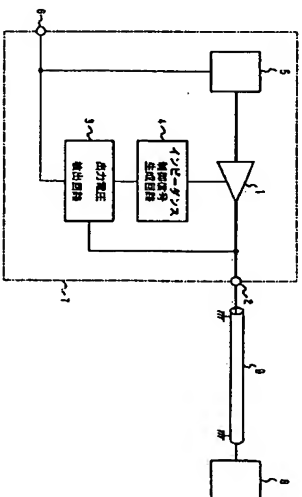
111 受信回路入力における信号立ち上がり波形 (駆動能力小の場合)

120 出力端子における信号立ち上がり波形 (駆動能力適正の場合)

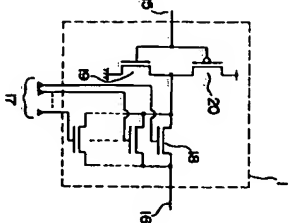
121 受信回路入力における信号立ち上がり波形 (駆動能力適正の場合)

130 出力端子における信号立ち上がり波形 (駆動能力大の場合)

131 受信回路入力における信号立ち上がり波形 (駆動能力大の場合)

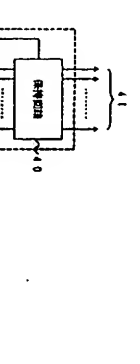
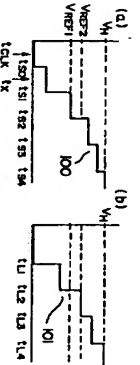


【図1】

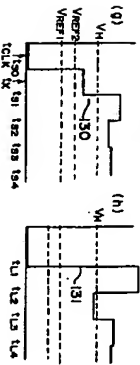
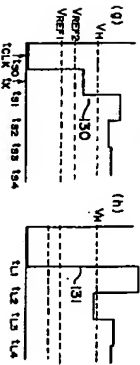
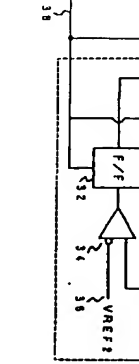
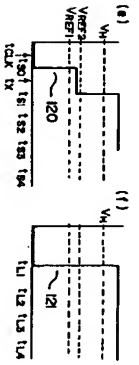
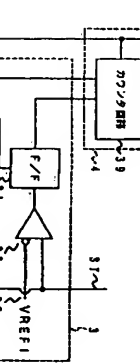
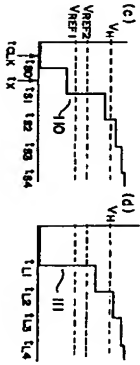


【図5】

【図2】



【図3】



(7)

特開平10-261948

【図4】

